## Лабораторная работа №1

Исследование работы базовых цифровых устройств комбинационного и последовательного типа.

## 1. Определения комбинационных и последовательных устройств

Устройства, реализующие функции алгебры логики, называют *логическими* или *цифровыми* и классифицируют по различным отличительным признакам. Так, по типу информации на входах и выходах логические устройства подразделяют на устройства последовательного, параллельного и смешанного действия, а по схемному решению и характеру связи между входными и выходными переменными с учётом их изменения по тактам работы − на комбинационные и последовательностные (элементы с памятью).

В *комбинационных* устройствах значения (0 или 1) сигналов на выходах в каждый конкретный момент времени полностью определяются значениями (комбинацией, набором) действующих в данный момент цифровых входных сигналов.

В *последовательностных* же устройствах значения выходных сигналов в *п*-такте определяются не только значениями входных сигналов в этом такте, но и зависят от внутренних состояний устройств, которые произошли в результате воздействия входных сигналов в предшествующие такты.

**2. Комбинационные цифровые устройства**

**2.1 Шифратор**

Шифратор (кодер) - это устройство, преобразующее m- разрядный позиционный код в n- разрядный двоичный код.

В позиционном коде число определяется позицией единицы в серии нулей, или позицией нуля в серии единиц .

000000100

111110111

Наибольшее применение он находит(л) в устройствах ввода информации (пультах управления) для преобразования десятичных чисел в двоичную систему счисления.

Предположим, на пульте десять клавиш с гравировкой от 0 до 9. При нажатии любой из них на вход шифратора подается единичный сигнал (Х0, ..., Х9).

На выходе шифратора должен появиться двоичный код (Y0, ..., Y9) этого десятичного числа. Таблица истинности шифратора приведена на рисунке 2

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Входы | Входы | Выходы | | | |
| X |  | Y3 | Y2 | Y1 | Y0 |
| 0 | 0000000000 | 0 | 0 | 0 | 0 |
| 1 | 0000000001 | 0 | 0 | 0 | 1 |
| 2 | 0000000010 | 0 | 0 | 1 | 0 |
| 3 | 0000000100 | 0 | 0 | 1 | 1 |
| 4 | 0000001000 | 0 | 1 | 0 | 0 |
| 5 | 0000010000 | 0 | 1 | 0 | 1 |
| 6 | 0000100000 | 0 | 1 | 1 | 0 |
| 7 | 0001000000 | 0 | 1 | 1 | 1 |
| 8 | 0010000000 | 1 | 0 | 0 | 0 |
| 9 | 01000000000 | 1 | 0 | 0 | 1 |

Рисунок 2 - Таблица истинности шифратора

СДНФ для выходов шифратора можно записать:

Y0 = X1 + X3 + X5 + X7 + X9 ; Y1 = X2 + X3 + X6 + X7;

Y2 = X4 + X5 + X6 + X7; Y3= X8 +X9;

По логическим выражениям построим схему шифратора:

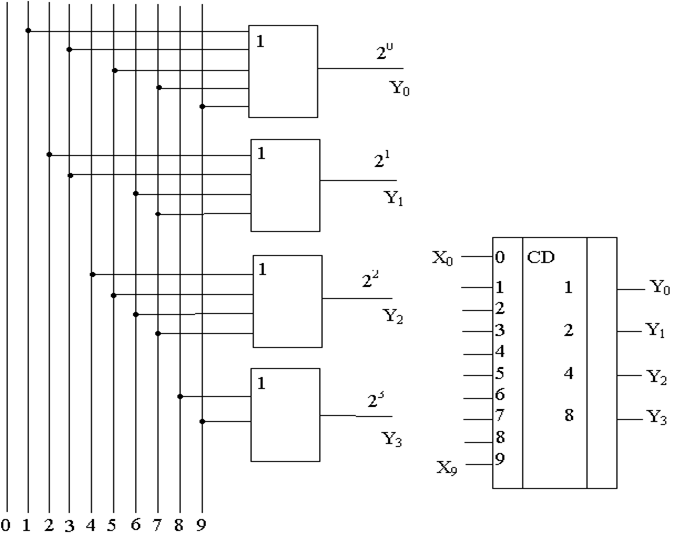


Рисунок 3 - Цифровая логическая схема шифратора и его графическое изображение (УГО)

**2.2 Дешифратор**

Дешифратор (декодер) - устройство, преобразующее входной n – разрядный двоичный код в m - разрядный позиционный код по формуле:



Дешифраторы широко применяются в устройствах управления, для построения распределителей импульсов по различным цепям, в элементах памяти и др. Таблица истинности дешифратора имеет вид:

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| X2 X1 X0 | Y0 | Y1 | Y2 | Y3 | Y4 | Y5 | Y6 | Y7 |
| 000 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 001 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| 010 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| 011 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| 100 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| 101 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| 110 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| 111 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |

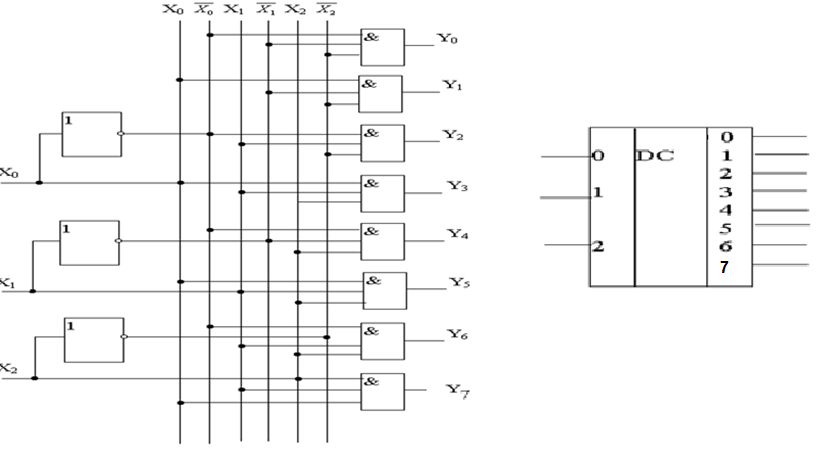


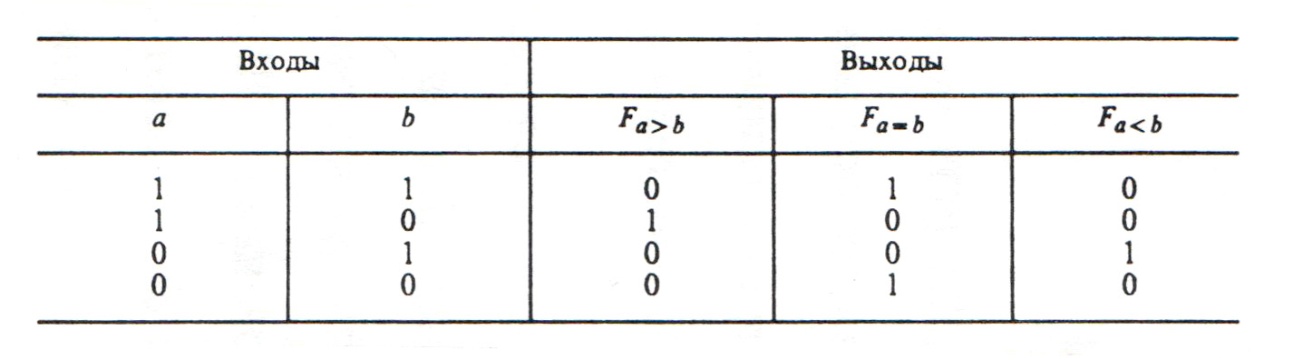
Рисунок 4 - Цифровая логическая схема дешифратора

**2.3 Цифровой компаратор**

Цифровые компараторы выполняют сравнение двух чисел А и В, заданных в двоичном коде с одинаковым количеством разрядов.

Цифровые компараторы имеют три выхода: Fa > b, Fa = b, Fa < b.

Таблица истинности одноразрядного компаратора :



Логические выражения для каждой функции имеют вид:

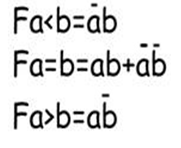




Рисунок 5 – Функциональная схема цифрового компаратора

Цифровой компаратор в виде микросхемы представлен на рисунке 6

Входы A>B, A<B, A=B служат для наращивания разрядов сравниваемых чисел.

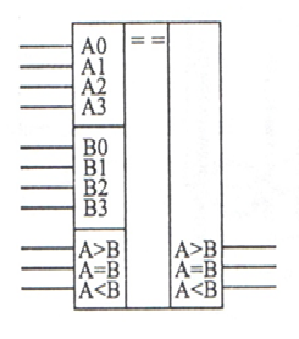


Рисунок 6 - Условное графическое изображение компаратора на схемах

**2.4 Цифровой мультиплексор**

Пропускает(коммутирует) сигнал с одного из входов на один выход в зависимости от состояния двоичного кода на адресных входах.

Логическая функция мультиплексора:

Y=X0\*a1\*a0 + X1\*a1\*a0 + X2\*a1\*a0 + X3\*a1\*a0

Цифровая схема мультиплексора и его изображение приведено на рисунке 7

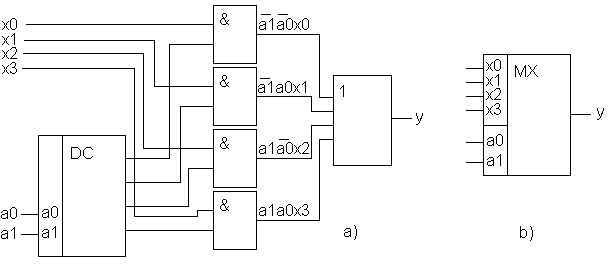


Рисунок 7 Цифровая схема мультиплексора

В качестве дешифратора можно взять готовый компонент в Proteus (P/Modelling Primitives/DECODER\_X\_XX)

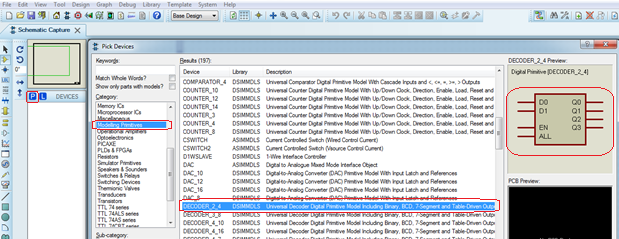
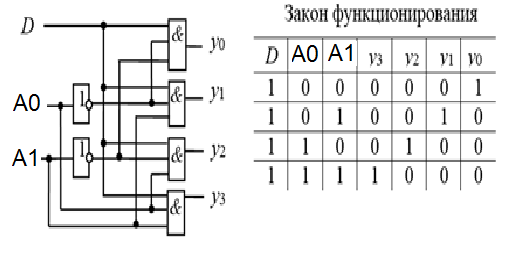
 Пример схемы включения дешифратора приведен на рис 7а



Рис 7а Схема включения дешифратора

**2.5 Демультиплексор**

Демультиплексором называют устройство, в котором сигналы с одного информационного входа поступают на требуемый выход в зависимости от кода на адресных шинах. Таблица истинности и схема демультиплексора приведена на рисунке 8



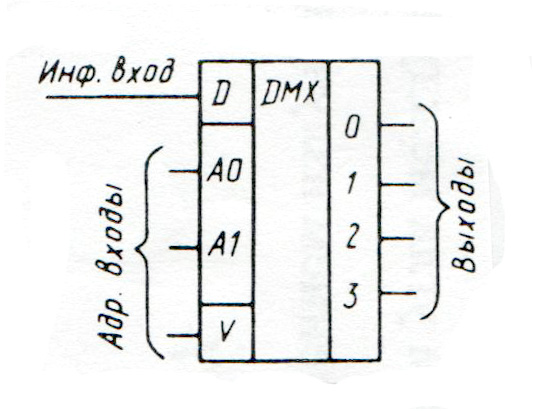
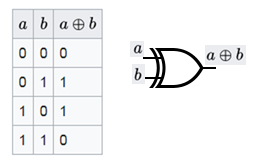


Рисунок 8 - Схема демультиплексора

**2.6 Сложение по модулю 2**

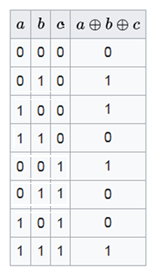
Исключа́ющее «или» (сложе́ние по мо́дулю 2, XOR, ) — булевая функция, а также логическая и битовая операция, в случае двух переменных результат выполнения операции истинен тогда и только тогда, когда один из аргументов истинен, а другой — ложен. Для функции трёх (тернарное сложение по модулю 2 и более переменных — результат выполнения операции будет истинным только тогда, когда количество аргументов, равных 1, составляющих текущий набор, — нечётное.

Таблицы истинности:



СДНФ: 

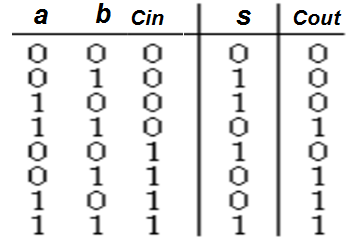
Для трех переменных ;



**2.7 Сумматоры**

Сумматоры – это комбинационные устройства, предназначенные для сложения двух входных двоичных кодов. Например, арифметическая сумма кодов 0111 (число 7) и 0101 (число 5) равна 1100 (число 12). Арифметическая сумма кодов 1101 (число 13) и 0110 (число 6) равна 10011 (число 19), т. е. сумма двух двоичных чисел с числом разрядов n может иметь результат с числом разрядов n + 1.

Таблица истинности одноразрядного сумматора с учетом переноса из младшего разряда *Сin* и переноса в старший разряд *Cout* приведена на рисунке 9.



|  |  |  |  |
| --- | --- | --- | --- |
| Рисунок 9 - Таблица истинности сумматора  Как видно из таблицы СДНФ суммы S представляет собой тернарное сложение по модулю 2 трех переменных    СДНФ функции переноса имеет вид: |  |  |  |

Цифровая схема одноразрядного сумматора приведена на рисунке 10

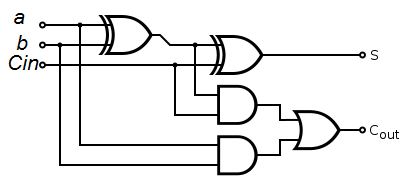
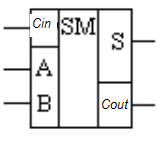


Рисунок 10 - Цифровая логическая схема одноразрядного сумматора

УГО сумматора имеет вид:



Для сложения чисел различной разрядности сумматоры последовательно соединяются дгуг с другом:

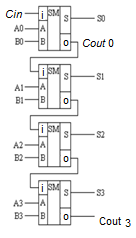


Рисунок 11 - Четырехразрядный двоичный сумматор

**3Цифровые устройства последовательного типа (устройства с памятью)**

**3.1 Триггер**

Триггер – это устройство последовательного типа с двумя устойчивыми состояниями предназначенное для записи и хранения и чтения информации (RS, D, T и JK).

Под действием входных сигналов триггер может переключаться из одного устойчивого состояния в другое.

Как правило, триггер имеет два выхода: прямой Q и инверсный .

По способу записи информации триггеры делят на :

асинхронные, которые переключаются в момент подачи входных сигналов;

синхронные (тактируемые), которые переключаются только при подаче дополнительных синхронизирующих сигналов (импульсов);

статические - момент переключения связан с определённым уровнем синхросигнала (статические триггеры);

динамические - момент переключения связан с фронтом (перепада напряжения) синхросигнала.

Наибольшее распространение в цифровых устройствах получили триггеры RS, D, T и JK.

**3.1.1 Асинхронный RS - триггер**

. В простейшем RS-триггере информационные сигналы подаются непосредственно на входы S (Set — установка) и R(Reset — сброс) .

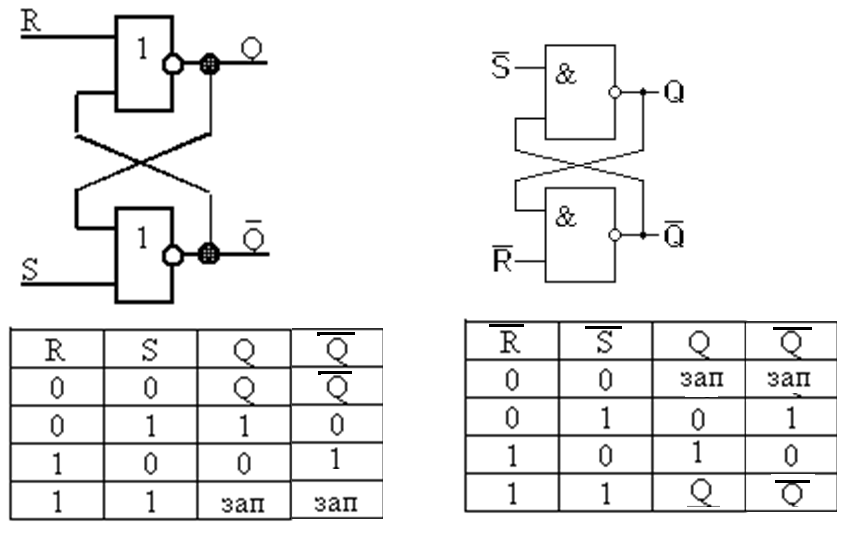
RS-триггеры применяются как самостоятельно, так и в составе других более сложных триггеров, а также входят в состав регистров и счётчиков.

Триггер может быть реализован как на элементах NOR так и на элементах NAND

В первом случае активным является высокий уровень сигналов во втором низкий уровень.

В первом случае при подаче на RS - входы логического нуля триггер хранит предыдущее состояние. Переключение в единичное состояние происходит при S=1 и R=0. При S=0 и R=1 триггер переключается в нулевое состояние. При подаче S=1 и R=1 триггер может переключится либо в состояние 1 либо в состояние 0, эта комбинация является запрещенной.

При использовании NAND - логики переключение триггер происходит инверсными сигналами. При этом режим хранения задается при S=1 и R=1 и запрещенная комбинация при S=0 и R=0 (рисунок 12).



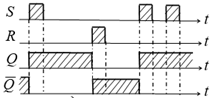
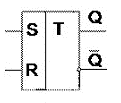
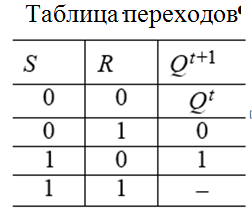


Рисунок 12 - Логическая схема RS - триггера, таблица истинности, временная диаграмма и УГО

Функционирование логических устройств последовательного типа описывается таблицами переходов, которые отличаются от таблиц истинности тем, что в них учитываются только результативные переходы, когда изменение комбинации сигналов на входе приводит к изменению выходного состояния. Так если принять текущее состояние триггера за Qt, а следующее состояние за Qt+1, то таблица переходов для триггера NOR будет иметь вид:



**3.1.2** Синхронный RS триггер

В устройствах цифровой техники, для исключения опасных "состязаний" входных сигналов, срабатывание всех узлов и элементов в каждом такте должно происходить строго одновременно. Для достижения этой цели применяется жёсткая синхронизация с помощью специальных синхроимпульсов. Для работы в схемах с синхронизацией режима разработаны синхронные RS-триггеры. Так на схеме (рисунок 13 а) при С=1, триггер будет хранить информацию, при этом значения сигналов на входах RS не будет влиять на работу триггера. Переключение триггера будет происходить при С=0. Применение синхронизации не устраняет неопределённое состояние триггера, возникающее при подаче запрещенной комбинации сигналов.

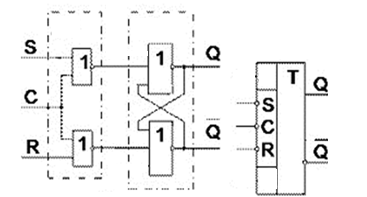


Рисунок 13 Синхронный RS-триггер

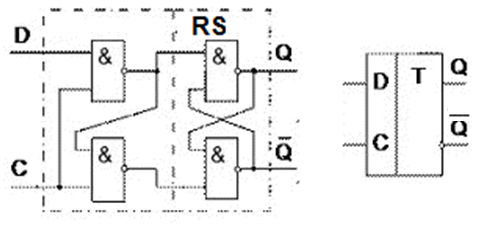
S, R – информационные входы

С – вход синхронизации

**3.1.3 D-триггер**.

D - триггеры — это электронные устройства с двумя устойчивыми выходными состояниями одним информационным входом D и одним входом синхронизации. Триггер переключается по уровню синхросигнала. Запрещенных комбинаций нет. На рисунке 13 приведена таблица истинности, цифровая логическая схема и УГО D - триггера





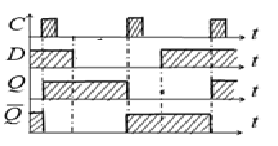


Рисунок 14 - D - триггер

Недостаток простейшего D-триггера (защелки), Пока на входе синхронизации присутствует высокий потенциал, триггер записывает входную информацию. Чтобы избежать прохождения входного сигнала на выход схемы приходится на вход триггера подавать очень узкие синхроимпульсы на вход С. Для исключения этого недостатка разработан динамический двухступенчатый D-триггер.

**3.1.4** Двухступенчатый (двухтактный) динамический D-триггер

Двухступенчатый D-триггер, построен по схеме «ведущий-ведомый» на двух триггерах D1 и D2 соединенных последовательно.

При С = 0 информация с входа D записывается в ведущий триггер D1.

При переходе уровня тактируемого синхросигнала С из 0 в 1 информация из D1 перезаписывается в ведомый D2. Т.е. по возрастающему фронту синхроимпульса (рисунок 15).

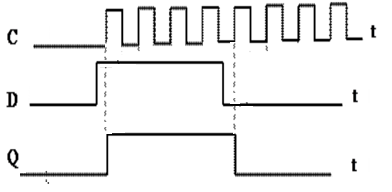
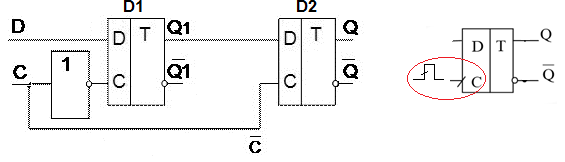


Рисунок 15 Двухступенчатый D-триггер

**3.1.5 Т - триггер.**

Т – триггеры работают в счетном режиме и меняют свое состояние на противоположное на каждом периоде тактового сигнала . На рисунке 16 показан T - триггер на основе двухступенчатого динамического D-триггера. Т – триггер делит тактовую частоту импульсов в два раза.

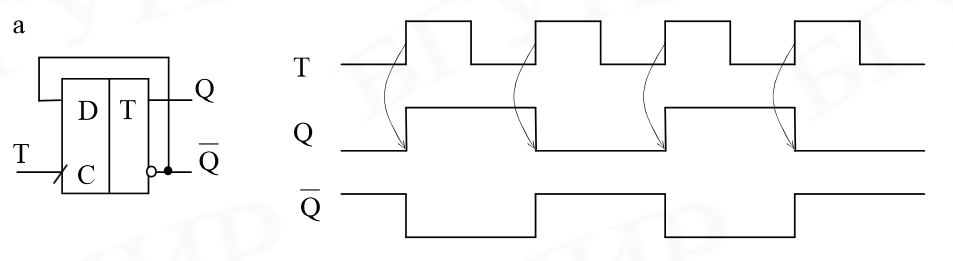
****

Рисунок 16 - Логическая схема Т – триггера

**В качестве двухступенчатого D-триггера можно взять триггер в Proteus (P/Simulator Primitives/DTFF)**

**3.2 Регистры**

Регистры — это функциональные узлы на основе триггеров, предназначенные для приёма, хранения, передачи и преобразования многоразрядной цифровой информации ( например из параллельного кода в последовательный и наоборот, из прямого кода в обратный, сдвиг числа и др.).

В зависимости от способа записи и чтения информации (кода числа) регистры бывают:

* параллельные;
* последовательные (сдвигающие);
* параллельно — последовательные.

**3.2.1 Параллельный регистр**

Запись кода в параллельные регистры осуществляется параллельно, то есть во все разряды регистра одновременно.

Каждый разряд регистра представляет собой двухступенчатый динамический (или реже одноступенчатый) D - триггер, хранящий значение одного разряда.

Вход R служит для установки триггеров в нулевое состояние перед записью информации.

Входное двоичное число подается на входы D0-D2 и при подаче импульса на вход С записывается в триггеры регистра.

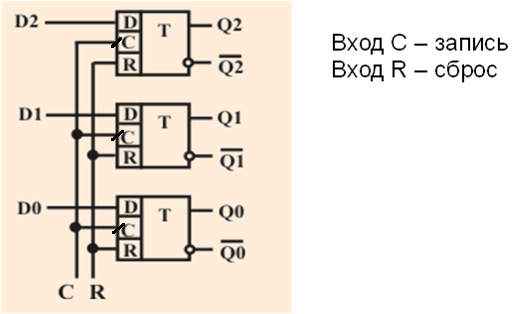


Рисунок 17 - Параллельный регистр

**В качестве двухтактного D-триггера можно взять триггер в Proteus (P/Simulator Primitives/DTFF)**

****

Рис. 17а – Двухтактный D-триггер

**3.2.2 Последовательный сдвиговый регистр**

Каждый выход триггера соединен с входом следующего. Информация подается на D-вход первого двухступенчатого триггера. При подаче импульса на вход С, бит информации на D – входе записывается в первый триггер. При подаче следующего синхроимпульса этот бит перезаписывается в следующий триггер. При этом в первый триггер записывается следующий бит информации и т. д. Информация продвигается по регистру от первого триггера к последнему (рисунок 16).

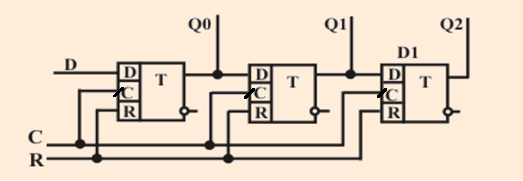


Рисунок 18 - Функциональная схема последовательного регистра

**В качестве D-триггера можно взять триггер в Proteus (P/Simulator Primitives/DTFF)**

3.2.3 Реверсивный регистр сдвига

Реверсивные регистры сдвига обеспечивают возможность сдвига информации как вправо, так и влево. Они имеют специальный вход управления направлением сдвига.

Поскольку логические элементы способны передавать сигналы только в одном направлении с входа на выход (слева направо), то, для сдвига информации влево, необходимо информацию с выхода последующих триггеров по специально созданным цепям подавать на входы предыдущих триггеров и записывать их следующим тактовым сигналом. Это эквивалентно сдвигу информации влево(рисунок 17).

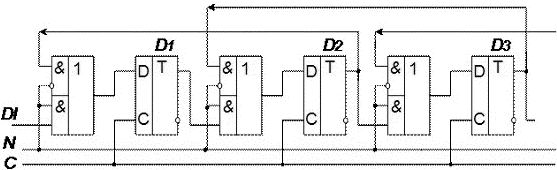


Рисунок 19- Схема реверсивного регистра сдвига

При N=1 тактовые импульсы производят сдвиг информации вправо, а при N=0 –— сдвиг информации влево

**3.3 Двоичные счетчики**

Счётчик предназначен для счёта поступающих на его вход импульсов, в интервале между которыми он должен хранить информацию об их количестве. Поэтому счётчик состоит из запоминающих ячеек – триггеров.

Каждый разряд счётчика может находиться в двух состояниях.

Число устойчивых состояний , которое может принимать двоичный счётчик, разрядностью n называют коэффициентом пересчёта:

Kcч=2n

Коэффициент пересчета равен количеству импульсов, которое может подсчитать счетчик.

Максимальное число N , которое может быть получено в счетчике равно разрядностью n: N=2n - 1

Если с каждым входным импульсом «записанное» в счётчике число увеличивается, то такой счётчик является суммирующим, если же оно уменьшается, то − вычитающим.

Счётчик, работающий как на сложение, так и на вычитание, называют реверсивным.

Счётчики, у которых под воздействием входного импульса переключение соответствующих разрядов происходит последовательно друг за другом, называют асинхронными, а когда переключение происходит одновременно − синхронными.

**3.3.1** Трехразрядный двоичный счетчик прямого счета с коэффициентом пересчета 8.

**В качестве D-триггера можно взять триггер в Proteus (P/Simulator Primitives/DTFF)**

****

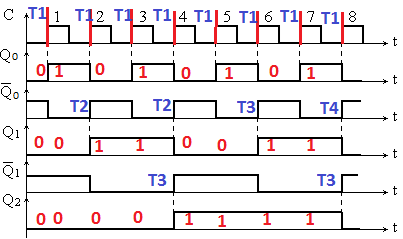


Рисунок 20 - Функциональная схема и временная диаграмма трехразрядного счетчика

3.3.2 Таймер

Таймер – устройство, которое отсчитывает требуемые временные интервала. Таймер можно представить как счетчик с переменным коэффициентом пересчета. На рисунке приведена схема таймера.



Рисунок 21 Функциональная схема таймера

В состав таймера входят: двоичный счетчик, регистр и компаратор.

Требуемый временной интервал записывается в регистр. Далее на счетный вход счетчика последовательно подаются счетные импульсы, увеличивая значение на его выходе. Значение с выхода счетчика сравнивается со значением интервала в регистре. При равенстве значений на выходе компаратора вырабатывается сигнал сравнения. Таким образом, записывая различные значения в регистр, можем менять длительность импульса на выходе компаратора

Задание к лабораторной работе.

Моделируемые элементы:

а) комбинационные:

1. Шифратор;

+2. Дешифратор (число входов 4);

3. Двухразрядный цифровой компаратор(построить таблицу истинности, записать СКНФ, минимизировать с помощью карт Карно-Вейча, построить схеиу);

4. Цифровой мультиплексор (4 в 1, дешифратор взять как готовую компоненту);

5. Демультиплексор (1 в 4);

+6. Четырехразрядный сумматор (последовательно соединить четыре одноразрядных сумматора в цепочку, учитывая переносы из предыдущих разрядов);

б) последовательные:

7. Асинхронный RS -триггер;

8. Синхронный RS -триггер;

9. Однотактный D - триггер;

+10. Двухтактный D - триггер;

11. Т - триггер(на основе двухтактного D - триггера, триггер взять как готовую компоненту (**В качестве D-триггера можно взять триггер в Proteus (P/Simulator Primitives/DTFF)**;

12.Параллельный регистр 4 -разряда, двухтактный D - триггер взять как готовую компоненту(**В качестве D-триггера можно взять триггер в Proteus (P/Simulator Primitives/DTFF)**;;

13. Последовательный регистр сдвига в право 4 -разряда, двухтактный D - триггер взять как готовую компоненту((**В качестве D-триггера можно взять триггер в Proteus (P/Simulator Primitives/DTFF)**;);

+14. Реверсивный регистр сдвига (4 -разряда, двухтактный D - триггер взять как готовую компоненту);

15. Суммирующий счетчик с коэффициентом пересчета 16(4 разряда, двухтактный D - триггер взять как готовую компоненту (**В качестве D-триггера можно взять триггер в Proteus (P/Simulator Primitives/DTFF)**;

1 16 Таймер

Варианты заданий

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| № варианта | Элемент 1 | Элемент 2 | Элемент 3 | Элемент 4 |
| 1 | 1 | 5 | 9 | 13 |
| 2 | 2 | 6 | 10 | 14 |
| 3 | 3 | 7 | 11 | 15 |
| 4 | 4 | 8 | 12 | 16 |
| 5 | 1 | 8 | 12 | 13 |
| 6 | 2 | 7 | 11 | 14 |
| 7 | 3 | 6 | 10 | 15 |
| 8 | 4 | 5 | 9 | 16 |
| 9 | 1 | 5 | 12 | 16 |
| 10 | 3 | 7 | 11 | 15 |
| 11 | 2 | 6 | 10 | 14 |
| 12 | 4 | 8 | 9 | 13 |
| 13 | 1 | 8 | 9 | 16 |
| 14 | 2 | 7 | 10 | 15 |
| 15 | 3 | 6 | 11 | 14 |
| 16 | 4 | 5 | 12 | 13 |
| 17 | 3 | 7 | 9 | 13 |
| 18 | 4 | 8 | 10 | 14 |
| 19 | 1 | 5 | 11 | 15 |
| 20 | 2 | 6 | 12 | 16 |
| 21 | 3 | 6 | 12 | 16 |
| 22 | 5 | 8 | 9 | 14 |
| 23 | 4 | 5 | 11 | 15 |
| 24 | 1 | 8 | 10 | 14 |
| 25 | 3 | 7 | 9 | 13 |
| 26 | 1 | 6 | 12 | 15 |
| 27 | 2 | 5 | 11 | 16 |
| 28 | 3 | 8 | 10 | 14 |
| 29 | 4 | 7 | 9 | 13 |
| 30 | 3 | 7 | 11 | 15 |

Требования к отчету:

Отчет представляется в двух видах

1) В бумажном виде (описательная часть - использование черновиков приветствуется) должен содержать

- номер задания;

- Для комбинационных элементов :

- таблица истинности, СДНФ (СКНФ) функции (функций).

- скриншот схемы в Proteus или Multisim;

- рисунок временной диаграммы.

- для последовательных элементов :

- скриншот схем Proteus или Multisim;

- рисунок временной диаграммы.

2) Практическая часть должна содержать проект исследуемых элементов в Proteus или Multisim.

Контрольные вопросы

1. **.Кроме цифровых элементов своего задания необходимо уметь изобразить условное обозначение остальных элементов и пояснить принцип их работы.**
2. Понятие аналогового и дискретного сигнала.
3. Приведите основные составляющие цифрового сигнала (передний фронт, задний фронт, активный единичный уровень, активный нулевой уровень, прямой и инверсный вход (выход), выход с третьим состоянием (высоким сопротивлением).

Дополнительные вопросы

1. Принцип работы P/N перехода
2. Принцип работы диода, светодиода, фотодиода
3. Принцип работы полевого транзистора.
4. Реализация логических элементов НЕ, И-НЕ, ИЛИ-НЕ на полевых транзисторах.